

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288400

(43)Date of publication of application : 01.11.1996

(51)Int.CI.

H01L 21/8234
H01L 27/088
H01L 29/786
H03K 19/20

(21)Application number : 07-092303

(71)Applicant : SONY CORP

(22)Date of filing : 18.04.1995

(72)Inventor : HASHIMOTO MAKOTO

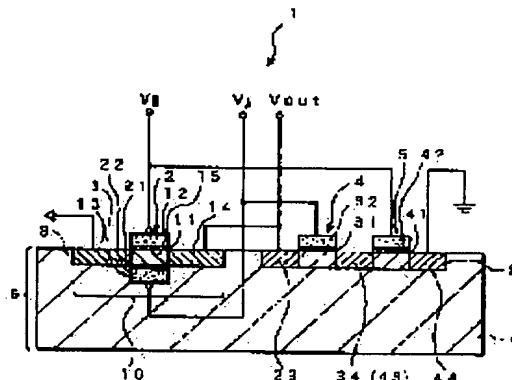
(54) LOGIC CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To reduce a layout area in plan view and thereby to attain high integration by a method wherein a channel forming region and source-drain regions of transistors of the same conductivity type channel are formed in a silicon layer and gate electrodes are provided on the opposite sides of this silicon layer with gate insulation films interlaid respectively.

CONSTITUTION: A front gate electrode 12 is formed on the front side of a silicon layer 8 with a surface gate insulation film 11 of a P-channel type transistor 2 interlaid, and a rear gate electrode 22 is formed at a position opposite to the front gate electrode 12 and the rear side of the silicon layer 8 with a rear gate insulation film 21 of a P-channel type transistor 3 interlaid. In the silicon layer 8 on the opposite sides of the front and rear gate electrodes 12 and 22, diffused layers 13 and 14 of source-drain regions being common to the P-channel type transistors 2 and 3 are formed and the silicon layer 8 between them becomes a channel forming region 15.

According to this constitution, a layout area in a plan view for one transistor at least can be reduced.



LEGAL STATUS

[Date of request for examination] 20.10.2000

[Date of sending the examiner's decision of rejection] 28.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-288400

(43)公開日 平成8年(1996)11月1日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/8234			H 01 L 27/08	1 0 2 B
27/088		9199-5K	H 03 K 19/20	
29/786			H 01 L 29/78	6 1 7 N
H 03 K 19/20				6 2 6 Z

審査請求 未請求 請求項の数 1 O.L (全 7 頁)

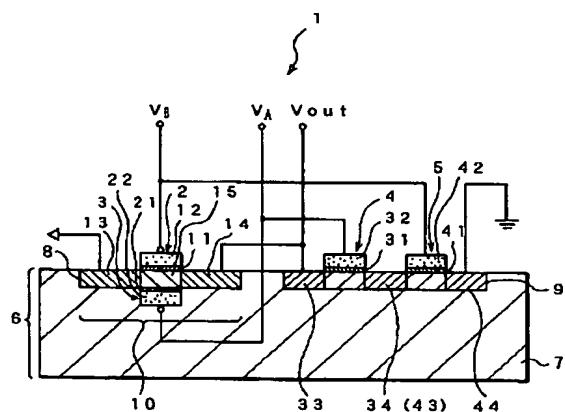
(21)出願番号 特願平7-92303	(71)出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22)出願日 平成7年(1995)4月18日	(72)発明者 橋本 誠 東京都品川区北品川6丁目7番35号 ソニ ー株式会社内
	(74)代理人 弁理士 船橋 國則

(54)【発明の名称】論理回路装置

(57)【要約】

【目的】 本発明は、論理回路を構成するトランジスタの平面視的なレイアウト面積を縮小して高集積化を図る。

【構成】 少なくとも2個の同一導電型チャネルのトランジスタ(pチャネル型トランジスタ2,3)を有する論理回路(例えばNAND回路)装置1であって、pチャネル型トランジスタ2,3を一組とし、この一組のpチャネル型トランジスタ2,3のチャネル形成領域15およびソース・ドレイン領域13,14を一つのシリコン層8に形成するとともに、このシリコン層8の表面側に一方のpチャネル型トランジスタ2の表面ゲート絶縁膜11を介して表面ゲート電極12を設け、このシリコン層8の裏面側に他方のpチャネル型トランジスタ3の裏面ゲート絶縁膜21を介して裏面ゲート電極22を設けたものである。



1 : 2入力NAND回路(論理回路)装置

2, 3 : pチャネル型トランジスタ 13, 14 : 拡散層

8 : シリコン層 15 : チャネル形成領域

11 : 表面ゲート絶縁膜 21 : 裏面ゲート絶縁膜

12 : 表面ゲート電極 22 : 裏面ゲート電極

本発明の実施例の概略構成断面図

【特許請求の範囲】

【請求項1】 少なくとも2個の同一導電型チャネルのトランジスタを有する論理回路装置において、少なくとも前記同一導電型チャネルのトランジスタのうちの2個を一組とし、該一組の同一導電型チャネルのトランジスタにおけるチャネル形成領域およびソース・ドレイン領域を一つのシリコン層に形成するとともに、前記一組の同一導電型チャネルのトランジスタのうち、前記シリコン層の表面側に一方のトランジスタの表面ゲート絶縁膜を介して表面ゲート電極を設け、前記シリコン層の裏面側に他方のトランジスタの裏面ゲート絶縁膜を介して裏面ゲート電極を設けたことを特徴とする論理回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、NAND回路やNOR回路等の論理回路を構成する論理回路装置に関するものである。

【0002】

【従来の技術】 論理回路の基本である2入力NAND回路や2入力NOR回路をCMOSトランジスタ回路で実現するには、通常、4個のトランジスタが必要となる。すなわち、図11に示すように、2入力NAND回路201は、並列に接続された2個のpチャネル型トランジスタ211, 212と直列に接続された2個のnチャネル型トランジスタ213, 214とから構成されている。また図12に示すように、2入力NOR回路301は、直列に接続された2個のpチャネル型トランジスタ311, 312と並列に接続された2個のnチャネル型トランジスタ313, 314とから構成されている。

【0003】

【発明が解決しようとする課題】 しかしながら、上記二つの基本論理回路をレイアウトするには、半導体基板上にトランジスタを4個分レイアウトする面積が必要となる。このため、上記論理回路の高集積化を図るには限界があった。

【0004】 本発明は、論理回路を構成するトランジスタのレイアウトを多層的にすることで、トランジスタの平面視的なレイアウト面積を縮小して高集積化を図った論理回路装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は、上記目的を達成するためになされた論理回路装置である。すなわち、少なくとも2個の同一導電型チャネルのトランジスタを有する論理回路装置において、少なくとも上記同一導電型チャネルのトランジスタのうちの2個を一組とし、上記一組の同一導電型チャネルのトランジスタにおけるチャネル形成領域およびソース・ドレイン領域を一つのシリコン層に形成するとともに、上記一組の同一導電型チ

ャネルのトランジスタのうち、シリコン層の表面側に一方のトランジスタの表面ゲート絶縁膜を介して表面ゲート電極を設け、上記シリコン層の裏面側に他方のトランジスタの裏面ゲート絶縁膜を介して裏面ゲート電極を設けたものである。

【0006】

【作用】 上記構成の論理回路装置では、シリコン層に同一導電型チャネルのトランジスタのチャネル形成領域およびソース・ドレイン領域を形成し、このシリコン層の両面に各ゲート絶縁膜を介して各ゲート電極を設けたことから、ほぼ1個分のトランジスタの面積が縮小される。

【0007】

【実施例】 本発明の実施例を図1の概略構成断面図によって説明する。図1では、論理回路装置の一例として2入力NAND回路装置1を示す。この2入力NAND回路装置1は、並列に接続された2個のpチャネル型トランジスタ2, 3と直列に接続された2個のnチャネル型トランジスタ4, 5とから構成されている。

【0008】 図1に示すように、SOI(Silicon on Insulator)基板6を用いる。このSOI基板6は絶縁層7上にシリコン層8, 9を設けたものである。

【0009】 上記シリコン層8の表面側にはpチャネル型トランジスタ2の表面ゲート絶縁膜11を介して表面ゲート電極12が形成され、この表面ゲート電極12に対向する位置でシリコン層8の裏面側にはpチャネル型トランジスタ3の裏面ゲート絶縁膜21を介して裏面ゲート電極22が形成されている。したがって、裏面ゲート電極22は絶縁層7に埋め込まれた状態に形成されることになる。また表面ゲート電極12および裏面ゲート電極22の両側のシリコン層8には、各pチャネル型トランジスタ2, 3の共通のソース・ドレイン領域となる拡散層13, 14が形成されていて、その間のシリコン層8がチャネル形成領域15となる。上記の如く、pチャネル型トランジスタ2, 3によって、pチャネル型の両面ゲート型トランジスタ10が構成される。

【0010】 さらにシリコン層9には、nチャネル型トランジスタ4, 5が形成されている。すなわち、シリコン層9の表面に第1のゲート絶縁膜31を介して第1のゲート電極32が形成され、その両側のシリコン層9にはソース・ドレイン領域となる第1の拡散層33, 34が形成されている。またシリコン層9の表面に第2のゲート絶縁膜41を介して第2のゲート電極42が形成され、その両側のシリコン層9にはソース・ドレイン領域となる第2の拡散層(43), 44が形成されている。このうち、第1の拡散層34と第2の拡散層(43)とは共用されている。また、表面ゲート電極12および第2のゲート電極42には入力端子VA、裏面ゲート電極22および第1のゲート電極32には入力端子VBが接続されている。また、両面ゲート型トランジスタ10の

一方の拡散層14と第1の拡散層33とは接続され、出力端子Voutに接続され、第2の拡散層34は接地されている。

【0011】上記構成の2入力NAND回路装置1では、pチャネル型トランジスタ2、3をシリコン層8を挟んでその両面に形成したので、ほぼトランジスタ1個分の形成面積が縮小される。

【0012】図2の(1)に示すように、シリコン層8の表面側に表面ゲート絶縁膜11を介して表面ゲート電極12を設けてなるpチャネル型トランジスタ2およびこのシリコン層8の裏面側に裏面ゲート絶縁膜21を介して裏面ゲート電極22を設けてなるpチャネル型トランジスタ3で構成されるような両面ゲート型トランジスタ10は、図2の(2)に示す回路構成と等価となる。すなわち、回路的には2個のpチャネル型トランジスタ2、3を並列に接続したものと等価になる。これを、以下、図2の(3)に示すような表記とし、それを両面ゲート型トランジスタ10とする。ここでは、並列に接続された2個のpチャネル型トランジスタを両面ゲート型トランジスタに置き換えた例を説明したが、並列に接続された2個のnチャネル型トランジスタであっても同様にして、両面ゲート型トランジスタに置き換えることができる。この場合の両面ゲート型トランジスタはnチャネルトランジスタになる。

【0013】上記表記を用いると、図1で説明した2入力NAND回路装置1は、図3に示す回路で表せる。すなわち、並列に接続された2個のpチャネル型トランジスタ(2)、(3)と直列に接続された2個のnチャネル型トランジスタ4、5とから構成されている2入力NAND回路71において、並列に接続された2個のpチャネル型トランジスタ(2)、(3)をpチャネル型の上記両面ゲート型トランジスタ10に置き換えたものである。

【0014】このように、並列に接続された同一導電型チャネルのトランジスタは、一つの両面ゲート型トランジスタに置き換えることが可能になる。この両面ゲート型トランジスタのレイアウト面積は、通常の一つのトランジスタのレイアウト面積にほぼ等しいので、基本論理回路の一部をこの両面ゲート型トランジスタに置き換えることで、レイアウト面積の縮小が可能になる。

【0015】図4は、2入力NOR回路51を示すもので、nチャネル型の両面ゲート型トランジスタ52で並列に接続された2個のnチャネル型トランジスタ(53)、(54)を置き換えた回路例である。この場合も、上記両面ゲート型トランジスタ52は、上記図2の(1)で説明したと同様に、シリコン層の表面側に表面ゲート絶縁膜を介して表面ゲート電極が形成され、該シリコン層の裏面側に裏面ゲート絶縁膜を介して裏面ゲート電極が形成されたものである。

【0016】図5は、5入力NAND回路61を示すも

ので、pチャネル型の両面ゲート型トランジスタ62、63で、並列に接続された5個のpチャネル型トランジスタのうちの4個のpチャネル型トランジスタを置き換えた回路例である。

【0017】上記同様の手法によって、任意の入力数のNAND回路およびNOR回路を実現できることはいうまでもない。

【0018】また図6は、AND回路73を示すもので、上記図3に示した2入力NAND回路1と通常のインバータ回路72とを組み合わせたものである。このように、同一導電型チャネルのトランジスタが並列に設けられている回路であれば、両面ゲート型トランジスタで置き換えることが可能となる。

【0019】次に、上記両面ゲート型トランジスタの製造方法を図7の製造工程図によって説明する。図では、上記図1で説明したのと同様の構成部品には同一符号を付す。

【0020】図7の(1)に示すように、通常のトランジスタプロセスと同様にして、例えばLOCOS酸化法によって、第1シリコン基板81に厚さが200nm程度の酸化膜82を形成する。その後、第1シリコン基板81のアクティブ領域上に裏面ゲート絶縁膜21を形成した後、裏面ゲート電極22を形成する。さらに裏面ゲート電極22を覆う状態に厚さが例えば700nm程度の酸化シリコン膜(図1の絶縁層6に相当)83、厚さが5μm程度の多結晶シリコン膜84を成膜した後、多結晶シリコン膜84の厚さが2μm～3μm程度にまで研磨してその表面を平坦化する。

【0021】続いて図7の(2)に示すように、上記多結晶シリコン膜84の表面に第2シリコン基板85を張り合わせる。なお、図の(2)～(4)は(1)に対して上下を反転させている状態で示してある。その後、第1シリコン基板81を研削し、さらに酸化膜82を研磨ストップとして研磨する。その結果、図7の(3)に示すように、第1シリコン基板(81)からなる厚さが60nm程度のSOI層86(図1のシリコン層8に相当)が形成される。

【0022】次いで、図7の(4)に示すように、通常のトランジスタプロセスによって、SOI層86上に表面ゲート絶縁膜11を形成した後、表面ゲート電極12を形成する。さらに、例えばイオン注入法によって、上記SOI層86に導電型不純物をドーピングして、ソース・ドレイン領域となる拡散層13、14を形成する。この拡散層13、14は、表面ゲート型トランジスタ91および裏面ゲート型トランジスタ92で共用される。このようにして、SOI層86の両側にゲート電極を設けた両面ゲート型トランジスタ10が形成される。

【0023】SOI層86の形成方法は、LOCOS酸化を用いる方法に限定されることはない。図示はしないが、例えば、シリコン基板の表面側の素子分離領域とす

る部分に溝を形成する。その結果、溝の部分が凹部となり、他の部分が凸部となる。次いでシリコン基板の凸部表面に裏面ゲート絶縁膜を介して裏面ゲート電極を形成した後、上記裏面ゲート電極を覆うとともに上記凹部を埋め込む状態に酸化シリコン膜を形成する。さらに多結晶シリコン膜を形成した後、その表面を平坦化する。そしてこの多結晶シリコン膜表面に別の基板を張り合わせた後、シリコン基板の裏面側から研削、研磨して、SOI層を形成する。その後は、通常のトランジスタプロセスによって、SOI層の表面に表面ゲート絶縁膜を介して表面ゲート電極を形成し、さらにソース・ドレイン領域を形成する。このようにして、両面ゲート型トランジスタを形成してもよい。

【0024】次に裏面ゲート電極からの取り出しを図8の概略構成断面図および図9のレイアウト図によって説明する。

【0025】図に示すように、例えば、両面ゲート型トランジスタ110が素子分離領域131によって側周部と分離されて形成されている。この両面ゲート型トランジスタ110の裏面ゲート電極112は上記素子分離領域131の下面側まで延長した状態に形成されている。また、表面ゲート電極111を覆う状態に層間絶縁膜132が形成されている。

【0026】そして両面ゲート型トランジスタ110の表面ゲート電極111を取り出すためのコンタクトホール133がこの表面ゲート電極111に通じる状態に上記層間絶縁膜132に形成されている。また、裏面ゲート電極112を取り出すためのコンタクトホール134がこの裏面ゲート電極112に通じる状態に上記層間絶縁膜132および素子分離領域131に形成されている。さらに、通常の配線形成プロセスによって、コンタクトホール133、134に通じる配線135、136が形成されている。

【0027】次に一つの両面ゲート型トランジスタの裏面ゲート電極と別の両面ゲート型トランジスタの表面ゲート電極との接続例を図10によって説明する。この図では、上記図8で説明したのと同様の構成部品には同一符号を付す。

【0028】図に示すように、例えば、第1両面ゲート型トランジスタ110および第2両面ゲート型トランジスタ120が素子分離領域131を挟んでその両側に形成されている。しかも第1両面ゲート型トランジスタ110の裏面ゲート電極112は素子分離領域131側まで延長した状態に形成されている。また各表面ゲート電極111、121を覆う状態に層間絶縁膜132が形成されている。

【0029】そして第1両面ゲート型トランジスタ110の裏面ゲート電極112と第2両面ゲート型トランジスタ120の表面ゲート電極121とを接続するには、上記層間絶縁膜132および素子分離領域131に、裏面ゲート電極112に通じるコンタクトホール137を形成するとともに表面ゲート電極121に通じるコンタクトホール138を形成する。その後、通常の配線形成プロセスによって、各コンタクトホール137、138に通じる配線139を形成する。

【0030】

【発明の効果】以上、説明したように本発明によれば、一つのシリコン層に同一導電型チャネルのトランジスタのチャネル形成領域およびソース・ドレイン領域を形成し、このシリコン層の両面に各ゲート絶縁膜を介して各ゲート電極を設けたので、少なくとも1個分のトランジスタの平面視的なレイアウト面積を縮小することが可能になる。よって、論理回路装置の高集積化が図れる。

【図面の簡単な説明】

【図1】本発明の実施例の概略構成断面図である。

【図2】両面ゲート型トランジスタの概略構成断面図と回路図である。

【図3】2入力NAND回路図である。

【図4】2入力NOR回路図である。

【図5】5入力NAND回路図である。

【図6】AND回路図である。

【図7】両面ゲート型トランジスタの製造工程図である。

【図8】裏面ゲート電極の取り出しを説明する概略構成断面図である。

【図9】裏面ゲート電極の取り出しを説明するレイアウト図である。

【図10】裏面ゲート電極と表面ゲート電極との接続例の説明図である。

【図11】従来の2入力NAND回路図である。

【図12】従来の2入力NOR回路図である。

【符号の説明】

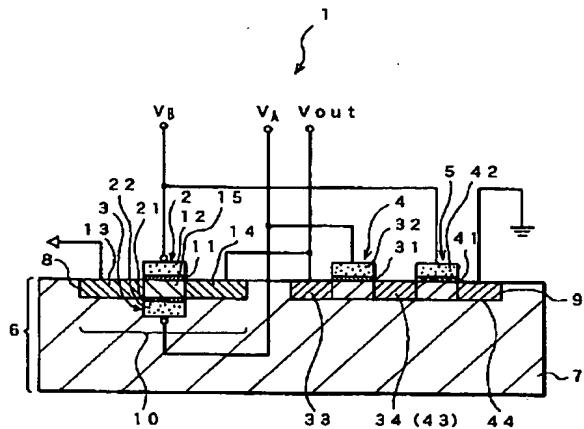
1 2入力NAND回路(論理回路) 装置 8 シリ

2, 3 pチャネル型トランジスタ 12 表
コン層

40 11 表面ゲート絶縁膜
面ゲート電極 13, 14 拡散層 15 チ
ヤネル形成領域

21 裏面ゲート絶縁膜 22 裏
面ゲート電極

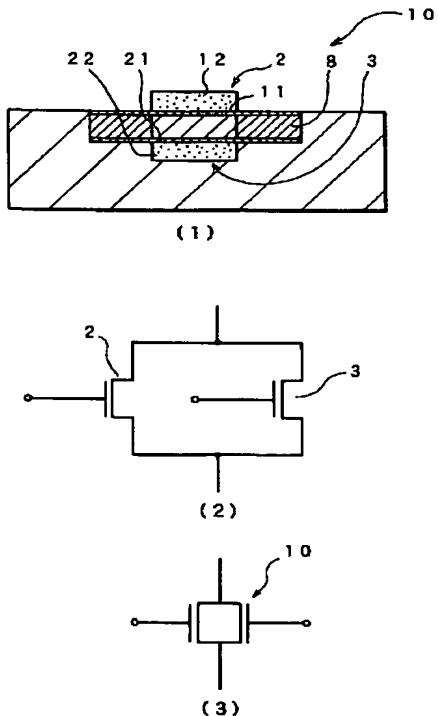
【図1】



1 : 2入力NAND回路(論理回路)構成
2, 3 : pチャネル型トランジスタ 13, 14 : 拡散層
8 : シリコン層 15 : チャネル形成領域
11 : 表面ゲート絶縁膜 21 : 裏面ゲート絶縁膜
12 : 表面ゲート電極 22 : 裏面ゲート電極

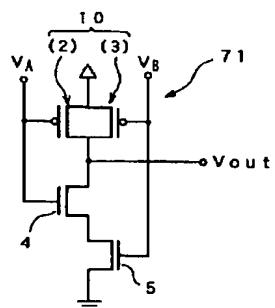
本発明の実施例の概略構成断面図

【図2】



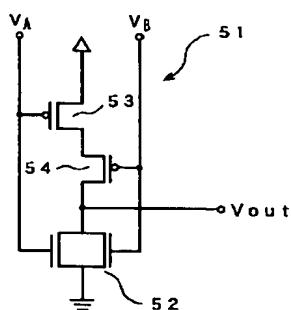
両面ゲート型トランジスタの概略構成断面図と回路図

【図3】



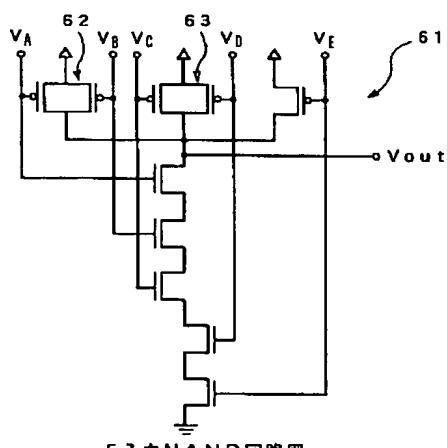
2入力NAND回路図

【図4】



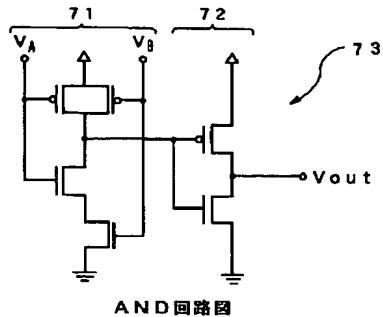
2入力NOR回路図

【図5】

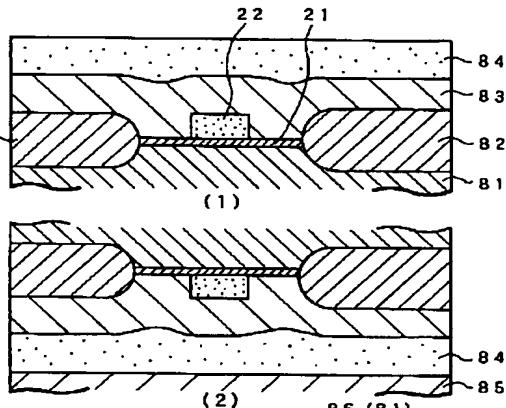


5入力NAND回路図

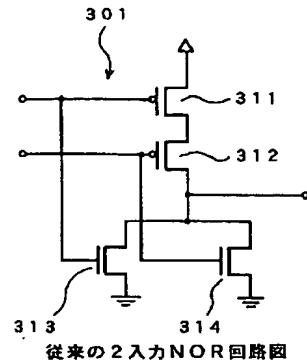
【図6】



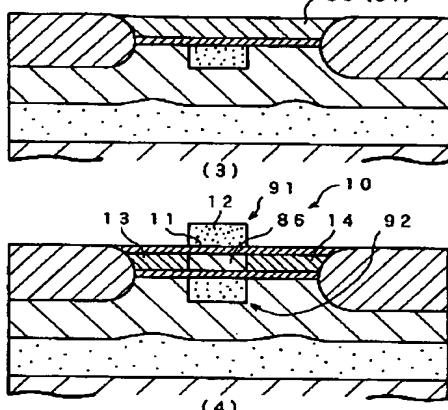
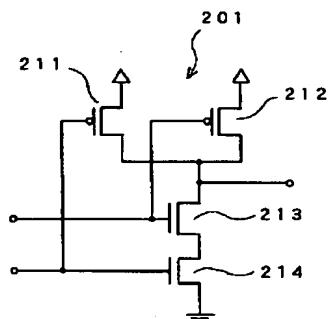
【図7】



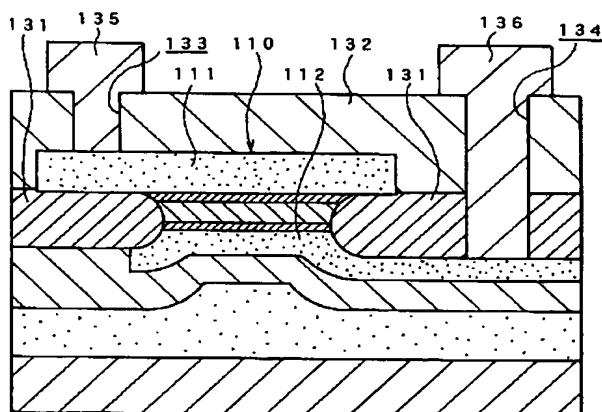
【図12】



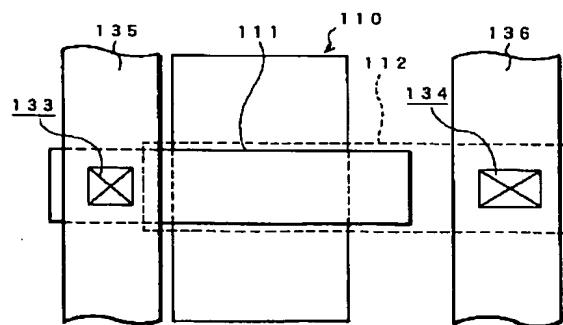
【図11】



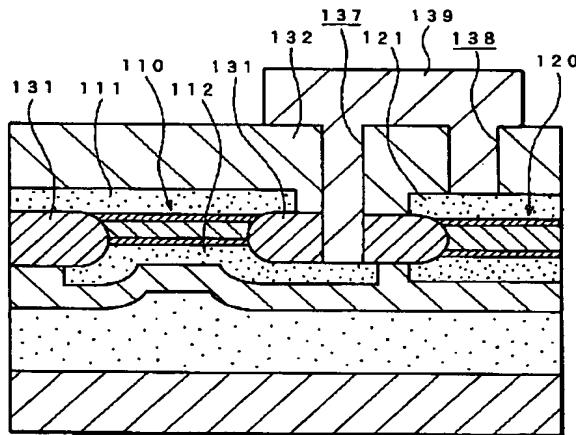
【図8】



【図9】



【図10】



裏面ゲート電極と表面ゲート電極との接続例の説明図